

Searching PAJ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-162539
 (43)Date of publication of application : 08.06.1992

(51)Int.CI. H01L 21/338
 H01L 29/812

(21)Application number : 02-288811 (71)Applicant : NEC CORP
 (22)Date of filing : 25.10.1990 (72)Inventor : ANDO YUJI

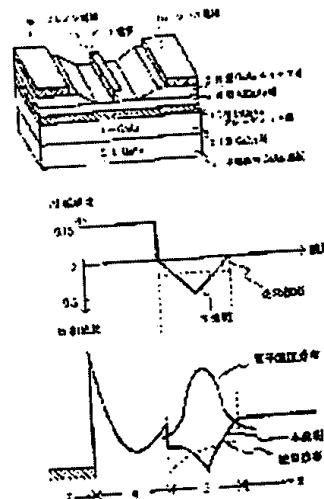
(54) FIELD-EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To obtain a structure which restrains a drop in a critical film thickness with an increase in the lattice mismatching of an epitaxial layer structure for a 2DEGFET and which can increase an effective In composition by a method wherein the composition ratio of In in an InGaAs layer constituting an undoped channel layer is changed gradually in the thickness direction and takes a maximum value at a specific position.

CONSTITUTION: At a field-effect transistor, a buffer layer 2, an undoped channel layer 3 and an N-type electron supply layer are laminated sequentially on a semiinsulating semiconductor substrate 1. At the field-effect transistor, the undoped channel layer 3 is formed of an $In_{2}Ga_{1-x}As$ layer, the composition ratio (x) of In in the InGaAs layer is changed gradually in the thickness direction and takes a maximum value in a position which is at a distance of 40Å or higher and of 110Å or lower from the interface between the InGaAs layer and the N-type electron supply layer 4. For example, the composition ratio (x) of In

in a channel layer 3 is increased gradually from 0 to a maximum value of 0.3 toward the interface to an AlGaAs layer 4 from the interface to a GaAs buffer layer 2. The (x) takes the maximum value of 0.3 in a position which is at a distance of 80Å from the interface to the AlGaAs layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

Searching PAJ

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫ 公開特許公報 (A)

平4-162539

⑬ Int. Cl. *

H 01 L 21/338
29/812

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月8日

7735-4M H 01 L 29/80

審査請求 未請求 請求項の数 3 (全8頁)

H

⑭ 発明の名称 電界効果トランジスタ

⑮ 特願 平2-288811

⑯ 出願 平2(1990)10月25日

⑰ 発明者 安藤 裕二 東京都港区芝5丁目7番1号 日本電気株式会社内

⑱ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代理人 弁理士 内原 晋

明細書

1. 発明の名称

電界効果トランジスタ

2. 特許請求の範囲

1. 半絶縁性半導体基板のうえにバッファ層、ノンドープチャネル層、N型電子供給層が順次積層された電界効果トランジスタにおいて、

前記ノンドープチャネル層が $In_xGa_{1-x}As$ 層であるとともに、該 $In_xGa_{1-x}As$ 層における In 組成比 x が厚さ方向に徐々に変化し、該 $In_xGa_{1-x}As$ 層の前記N型電子供給層との界面から 40 \AA 以上 110 \AA 以下離れた位置で最大値をとることを特徴とする電界効果トランジスタ。

2. ノンドープチャネル層が m 分子層の In_xAs 層と n 分子層の Ga_xAs 層が交互に積層された超格子層であるとともに、該超格子層における In_xAs 層と Ga_xAs 層の分子層数比率 m/n

は厚さ方向に徐々に変化し、該超格子層の前記電子供給層との界面から 40 \AA 以上 110 \AA 以下離れた位置で最大値をとる請求項1記載の電界効果トランジスタ。

3. ノンドープチャネル層が第一半導体層と第二半導体層が交互に積層された超格子層であるとともに、第一半導体層は $In_xGa_{1-x}As$ 層であり、その In 組成比 x は厚さ方向に徐々に変化し、前記超格子層の電子供給層との界面から 40 \AA 以上 110 \AA 以下離れた位置で最大値をとる請求項1記載の電界効果トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は二次元電子ガス電界効果トランジスタ (2DEGFET) に関するものである。

〔従来の技術〕

2DEGFETは、例えばHendersonらによつてエレクトロン・デバイス・レターズ・(IEEE Electron Device Lett.) 第EDL-7巻、第

12号、649頁、1986年に報告されている。

従来技術による2DEGFETについて、第7図の部分断面図、第8図(a)のN型AlGaAs層からノンドープGaAsバッファ層に向かうAl組成比およびIn組成比の分布図、第8図(b)のボテンシャルバンド図を参照して説明する。

半絶縁性(Semi-Insulating)GaAs基板にノンドープGaAs層バッファ層2、ノンドープIn_{0.53}Ga_{0.47}Asチャネル層3c、N型Al_{0.33}Ga_{0.67}As層キャリア供給層4から構成されている。

InGaAs層3cのAlGaAs層4との界面近傍に二次元電子ガス(2DEG)が誘起されチャネルを形成している。AlGaAs層4上にN型GaAsからなるキャップ層5が形成され、キャップ層5上にソース電極6aおよびドレイン電極6bが蒸着により形成され2DEGチャネル層とのオーミックコンタクトをとっている。また、キャップ層5をエッチングして形成されたリセス部にはゲート電極7が形成されている。

このようにチャネル層にInGaAsを用いる

向上を目的として、InGaAs歪層におけるIn組成を増やせば増やすほど、格子不整が増大し、臨界膜厚からくるチャネル層厚の制限が厳しくなるというジレンマが生じる。

そのため2DEGFETにおけるInGaAsチャネル層としては、通常In組成比が0.15、膜厚が臨界膜厚以下の150Å程度のものが用いられており、In組成比を増加することによるシート電子濃度の増加と電子輸送特性の向上を十分に発揮できないという問題があった。

本発明は2DEGFETのエピタキシャル層構造の格子不整の増加に伴う臨界膜厚の低下を極力抑制して、実効的なIn組成を増加し得るエピタキシャル層構造を提供することにある。

〔課題を解決するための手段〕

本発明の電界効果トランジスタは、バッファ層、ノンドープチャネル層、N型不純物がドープされた電子供給層が順次積層された電界効果トランジスタにおいて、

前記ノンドープチャネル層がIn_{0.53}Ga_{0.47}As

効果はAlGaAs電子供給層とチャネル層間の伝導帯オフセットの増加にともなうシート電子濃度の増加、および電子有効質量の減少にともなう電子移動度の増加が期待できることである。

〔発明が解決しようとする課題〕

InGaAsとGaAsとは格子定数が異なるが、In_{0.53}Ga_{0.47}Asチャネル層をミスフィット転移の起こる臨界膜厚以下にすることによって、弾性歪が格子不整を緩和する歪格子層となり、良好な界面が形成されることが知られている。

ここでIn組成比xが大きくなるほど格子不整が増大するため、この臨界膜厚は減少する。In組成比を増やすにしたがって、ミスフィット転移の発生を抑えるために膜厚を薄くすると、量子井戸内のサブバンドエネルギーは膜厚の二乗に逆比例して上昇するため、電子濃度の低下、さらにはInGaAs井戸内へのキャリア閉じ込めの低下が起こり、InGaAsをチャネルに用いるメリットがなくなってしまう。

すなわちシート電子濃度の増加と電子移動度の

層であるとともに、該InGaAs層におけるIn組成比xが厚さ方向に徐々に変化し、該InGaAs層の前記N型電子供給層との界面から40Å以上110Å以下離れた位置で最大値をとるものである。

またノンドープチャネル層がm分子層のInAs層とn分子層のGaAs層が交互に積層された超格子層であるとともに、該超格子層におけるInAs層とGaAs層の分子層数比率m/nは厚さ方向に徐々に変化し、該超格子層の前記電子供給層との界面から40Å以上110Å以下離れた位置で最大値をとるものである。

さらにノンドープチャネル層が第一半導体層と第二半導体層が交互に積層された超格子層であるとともに、第一半導体装置はIn_{0.53}Ga_{0.47}As層であり、そのIn組成比xは厚さ方向に徐々に変化し、前記超格子層の電子供給層との界面から40Å以上110Å以下離れた位置で最大値をとるものである。

〔作用〕

2DEGFET 造における2次元電子の分布確率は電子供給層・チャネル層間のヘテロ界面から約60~90Å程度でピークを有することが、F.SternとS.D.Sarmaによってフィジカル・レビュー・B (Phys. Rev. B)、第30巻、840頁~848頁、1984年に報告されている。

本発明では、In_xGa_{1-x}Asチャネル層におけるIn組成比xを膜厚方向に勾配をつけたグレーディッドとし、電子分布確率が最大となる位置近傍でxを最大とするとともに、電子分布確率の小さくなる電子供給層界面近傍およびバッファ層界面近傍ではxを小さくする。

全体としては格子不整の増大を抑制しながら、電子の存在確率が高い位置でのIn組成比xを増加することが可能になり、電子が実効的に走行する場所でのx値を通常用いられている上限値(~0.15)より大きくすることができる。

またチャネルとしてInAs層と分子層とGaAs層n分子層の積層構造からなる短周期超格子を用い、InAs層とGaAs層の比率m/nを

InGaAsであってもよい。

【実施例】

本発明の第1の実施例について、第1図の部分断面図、第2図(a)のN型Al_xGa_{1-x}As(y=0.15)層4からノンドープGaAsバッファ層2に向う断面におけるAl組成比およびIn組成比の分布図、第2図(b)のボテンシャルバンド図を参照して説明する。

本実施例の特長は第2図(a)に示すように、GaAsバッファ層2との界面からAlGaAs層4との界面に向かうにつれて、チャネル層3におけるIn組成比xが0から最大値0.3まで徐々に増加したあと0まで徐々に減少していることである。ここで、xが最大値0.3をとるのはAlGaAs層界面から80Å離れた位置である。

第1図に示す構造はつぎのようにして作製される。

はじめに半絶縁性(S.I.)GaAs基板1上に分子線エピタキシャル(MBE)成長法などにより、厚さ1μmのノンドープGaAsバッファ

膜厚方向にグレーディッドとし、電子分布が最大となる位置でm/nを最大とするとともに、電子供給層界面近傍及びバッファ層界面近傍ではm/nを小さくすることによっても、同様な効果が期待できる。

通常InGaAs混晶ではIn原子とGa原子の配置のランダムさにともなって電子は格子から散乱(合金散乱)を受けるが、このように膜厚方向に制御された結晶構造を有する短周期超格子層をチャネルとして用いると、この合金散乱を低減して電子輸送特性が一層改善される。

さらにチャネルとして第一半導体層と第二半導体層が交互に積層された超格子を用い、第一半導体層をIn組成比xが膜厚方向にグレーディッドであるIn_xGa_{1-x}Asとし、電子分布確率が最大となる位置近傍でxを最大とするとともに、電子分布確率の小さくなる電子供給層界面近傍およびバッファ層界面近傍ではxを小さくすることによっても、同様な効果が期待できる。ここで、第二半導体層は第一半導体層と組成比分布の異なる

層2が、厚さ160ÅのノンドープIn_xGa_{1-x}Asグレーディッド層(x=0→0.3→0)3、厚さ350ÅのN型Al_{0.15}Ga_{0.85}As(ドーピング濃度3×10¹⁸/cm³)層4、厚さ500Åのn型GaAs(ドーピング濃度5×10¹⁸/cm³)層5を順次成長する。

ここでInGaAsチャネル層3における平均In組成比は0.15であり、合計膜厚の160ÅはIn_xGa_{1-x}Asにおいてミスフィット転移の起こる臨界膜厚(~200Å)以下である。

N型GaAsキャップ層5上にはソース電極6aおよびドレイン電極6bを蒸着によって形成したのち、アロイ熱処理によってオーミックコンタクトをとる。

N型GaAs層5をエッティング除去して形成されたリセス部にはゲート電極7を形成する。

こうして、第2図(b)に示すように、InGaAs量子井戸層のほぼ中央部で2DEGの分布確率は最大値をとり、第2図(a)からこの位置はIn組成比が最大値0.3をとる場所に一致し、電

子は高い確率で I_n 組成比が 0.15 より大きい場所を走行することになる。

本実施例では I_n の平均組成は 0.15 に固定したままで、電子の走行する実効的な I_n 組成比をそれ以上に増加できる。

本発明の第 2 の実施例について、第 3 図の部分断面図、第 4 図(a)の N 型 $Al_{0.15}Ga_{0.85}As$ ($y = 0.15$) 電子供給層 4 からノンドープ $GaAs$ バッファ層 2 に向かう断面における Al 組成比および I_n 組成比の分布図、第 4 図(b)のポテンシャルバンド図を参照して説明する。

本実施例の特長は第 4 図(a)に示すように、チャネルとして $InAs$ 層 m 分子層と $GaAs$ 層 n 分子層の積層構造からなる短周期超格子層を用いていることである。 $InAs$ 層と $GaAs$ 層の比率 m/n を膜厚方向にグレーディッドとし、 $GaAs$ バッファ層 2 との界面から $AlGaAs$ 層 4 との界面に向かうにつれて、 m/n が徐々に増加し、最大値をとったあと 0 まで徐々に減少している。ここで、 m/n が最大値をとるのは Al

$GaAs$ 層界面から約 70 Å 離れた位置である。

第 3 図に示す構造はつぎのようにして作製される。

はじめに S. I. $GaAs$ 基板 1 上に MBE 成長法などにより、厚さ 1 μm のノンドープ $GaAs$ 層 2、10 分子層の $GaAs$ 層 3a、1 分子層の $InAs$ 層 3b、6 分子層の $GaAs$ 層 3a、1 分子層の $InAs$ 層 3b、3 分子層の $GaAs$ 層 3a、1 分子層の $InAs$ 層 3b、2 分子層の $GaAs$ 層 3a、1 分子層の $InAs$ 層 3b、3 分子層の $GaAs$ 層 3a、1 分子層の $InAs$ 層 3b、6 分子層の $GaAs$ 層 3a、1 分子層の $InAs$ 層 3b、10 分子層の $GaAs$ 層 3a、1 分子層の $InAs$ 層 3b (あわせて厚さ約 140 Å の $InAs/GaAs$ 超格子チャネル層)、厚さ 350 Å の N 型 $Al_{0.15}Ga_{0.85}As$ (ドーピング濃度 $3 \times 10^{18}/cm^3$) 電子供給層 4、厚さ 500 Å の N 型 $GaAs$ (ドーピング濃度 $5 \times 10^{18}/cm^3$) キャップ層 5 を順次成長する。

ここで超格子チャネル層における平均 I_n 組成比は 0.16 であり、トータル膜厚の 140 Å は $In_{0.15}Ga_{0.85}As$ においてミスフィット転移の起こる臨界膜厚 ($\sim 200 \text{ \AA}$) 以下である。

N 型 $GaAs$ キャップ層 5 上にはソース電極 6a およびドレイン電極 6b を蒸着によって形成したのち、アロイ処理によってオーミックコンタクトをとる。

N 型 $GaAs$ キャップ層 5 をエッティング除去して形成されたリセス部にはゲート電極 7 を形成する。

第 4 図(b)に示すように、 $InAs/GaAs$ 超格子層のはば中心で 2DEG の分布確率は最大値をとる。

第 4 図(a)からこの位置は $(InAs)_m (GaAs)_n$ における分子層数比 m/n が最大値をとる場所に一致し、電子は I_n 組成比が 0.15 より大きい場所を高い確率で走行することになる。このように、本実施例では、 I_n の平均組成は 0.15 程度に固定したままで、電子の実効的な I_n 組成

比をそれ以上に増加できる。

本発明の第 3 の実施例について、第 5 図の部分断面図、第 6 図(a)の N 型 $Al_{0.15}Ga_{0.85}As$ ($y = 0.15$) 電子供給層 4 からノンドープ $GaAs$ バッファ層 2 に向かう断面における Al 組成比および I_n 組成比の分布図、第 6 図(b)のポテンシャルバンド図を参照して説明する。

本実施例の特長は第 6 図(a)に示すように、チャネルとして $InGaAs$ 単分子層と $GaAs$ 単分子層の積層構造からなる短周期超格子を用いていることである。 $In_{0.15}Ga_{0.85}As$ 層における I_n 組成比 x を膜厚方向にグレーディッドとし、 $GaAs$ バッファ層 2 との界面から $AlGaAs$ 層 4 との界面に向かうにつれて、 x が徐々に増加し、最大値をとったあと 0 まで徐々に減少している。ここで、 m/n が最大値をとるのは $AlGaAs$ 層界面から約 70 Å 離れた位置である。

第 5 図に示す構造はつぎのようにして作製される。

はじめに S. I. $GaAs$ 基板 1 上に MBE 成

長法などにより、厚さ $1 \mu\text{m}$ のノンドープ GaAs バッファ層 2 a、1分子層の第 1 InGaAs 層 3 a、1分子層の第 1 InGaAs 層 ($x = 0.05$) 3 c、1分子層の第 2 GaAs 層 3 a、1分子層の第 2 InGaAs ($x = 0.1$) 層 3 c、1分子層の第 i GaAs 層 3 a、1分子層の第 i InGaAs ($x = 0.05 \times i$) 層 3 c、1分子層の第 12 GaAs 層 3 a、1分子層の第 12 InGaAs ($x = 0.6$) 層 3 c、1分子層の第 13 GaAs 層 3 a、1分子層の第 13 InGaAs ($x = 0.6$) 層 3 c、1分子層の第 j GaAs 層 3 a、1分子層の第 j InGaAs ($x = 0.05 \times (25 - j)$) 層 3 c、1分子層の第 23 GaAs 層 3 a、1分子層の第 23 InGaAs ($x = 0.1$) 層 3 c、1分子層の第 24 GaAs 層 3 a、1分子層の第 24 InGaAs ($x = 0.05$) 層 3 c (あわせて厚さ約 140 \AA の InGaAs/GaAs 超格子チャネル層)、厚さ 350 \AA の N 型 Al_{0.5}In_{0.5}As (ドーピング濃度 $3 \times 10^{18}/\text{cm}^3$) 電子供給層 4、厚さ 500 \AA の N 型 GaAs (ドーピング濃度 $5 \times 10^{18}/\text{cm}^3$) キャップ層を順次成長する。

ここで超格子チャネル層における平均 In 組成比は 0.16 であり、トータル膜厚の 140 \AA は In_{0.16}Ga_{0.84}As においてミスフィット転移の起こる臨界膜厚 ($\sim 200 \text{ \AA}$) 以下である。

N 型 GaAs キャップ層 5 上にはソース電極 6 a およびドレイン電極 6 b を蒸着によって形成したのち、アロイ処理によってオーミックコンタクトをとる。

N 型 GaAs 層 5 をエッチング除去して形成されたリセス部にはゲート電極 7 を形成する。

第 6 図(b)に示すように、InGaAs-GaAs 超格子層のほぼ中心で 2DEG の分布確率は最大値をとる。

第 4 図(a)からこの位置は In_{0.16}Ga_{0.84}As における In 組成比 x が最大値をとる場所に一致し、電子は In 組成比 0.15 より大きい場所を高い確率で走行する。

本実施例では In の平均組成は 0.15 程度に固

定したままで、電子の走行実効的な In 組成比をそれ以上に増加できる。

以上で用いた AlGaAs/InGaAs 系、AlGaAs/(InAs)_x(GaAs)_{1-x} 超格子系、および AlGaAs/(InGaAs)_x(GaAs)_{1-x} 超格子系の代りに、InAlAs/(GaAs)_x 超格子系、InP/InGaAs 系、InAlAs/(InAs)_x(GaAs)_{1-x} 超格子系、InP/(InAs)_x(GaAs)_{1-x} 超格子系、InAlAs/(In_{0.16}Ga_{0.84}As)_x(In_{0.16}Ga_{0.84}As)_{1-x} 超格子系、InP/(In_{0.16}Ga_{0.84}As)_x(In_{0.16}Ga_{0.84}As)_{1-x} 超格子系、InAlAs/(In_{0.16}Al_{0.84}As)_x(In_{0.16}Al_{0.84}As)_{1-x} 超格子系等、InGaAs、(InAs)_x(GaAs)_{1-x} 超格子、または InGaAs 層を含む超格子をチャネルとして用いることもできる。

〔発明の効果〕

InGaAs チャネルにおける格子不整の増加

を極力抑制しながら、実効的な In 組成比を通常用いられる上限値 (~ 0.15) よりも大きくすることが可能になった。

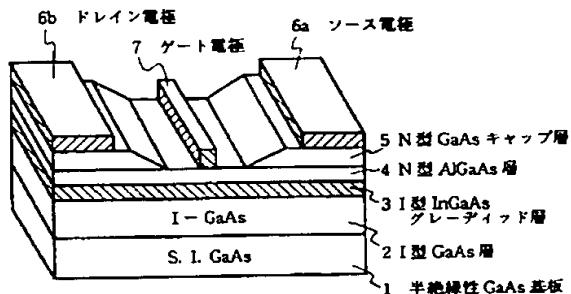
電子有効質量の軽減にともなう電子輸送特性の改善によって InGaAs チャネル 2DEG FET の素子特性をより向上することができる。

4. 図面の簡単な説明

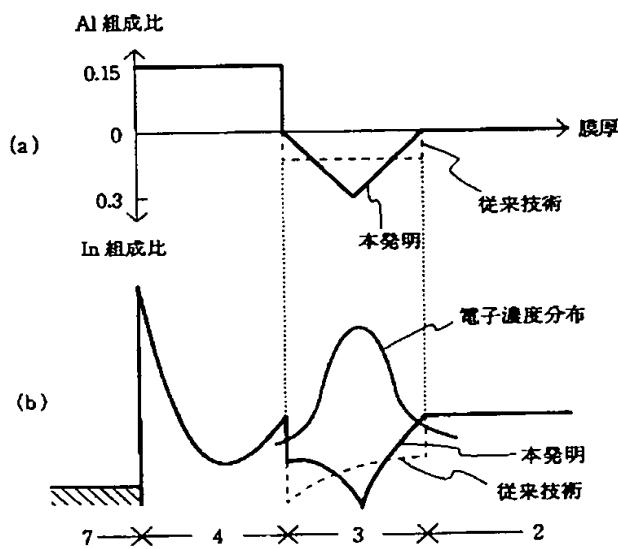
第 1 図は本発明の第 1 の実施例を示す部分断面図、第 2 図(a)は第 1 図の組成比を示す分布図、第 2 図(b)は第 1 図のボテンシャルバンド図、第 3 図は本発明の第 2 の実施例を示す部分断面図、第 4 図(a)は第 3 図の組成比を示す分布図、第 4 図(b)は第 3 図のボテンシャルバンド図、第 5 図は本発明の第 3 の実施例を示す部分断面図、第 6 図(a)は第 5 図の組成比を示す分布図、第 6 図(b)は第 5 図のボテンシャルバンド図、第 7 図は従来技術による 2DEG FET を示す断面図、第 8 図(a)は第 7 図の組成比を示す分布図、第 8 図(b)は第 7 図のボテンシャルバンド図である。

1 ……半絶縁性 GaAs 基板、2 ……ノンドープ GaAs バッファ層、3 ……ノンドープ InGaAs グレーディッドチャネル層、3 a ……ノンドープ GaAs チャネル層、3 b ……ノンドープ InGaAs チャネル層、3 c ……ノンドープ InGaAs チャネル層、4 ……N型 AlGaAs 電子供給層、5 ……N型 GaAs キャップ層、6 a ……ソース電極、6 b ……ドレイン電極、7 ……ゲート電極。

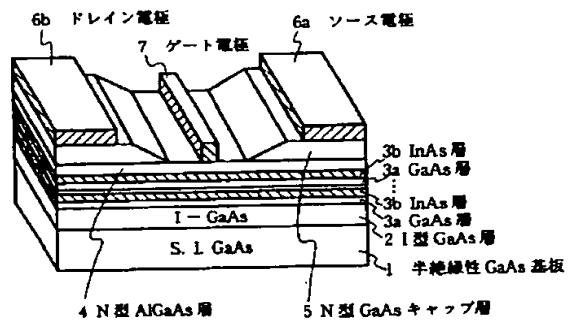
代理人 弁理士 内原晋



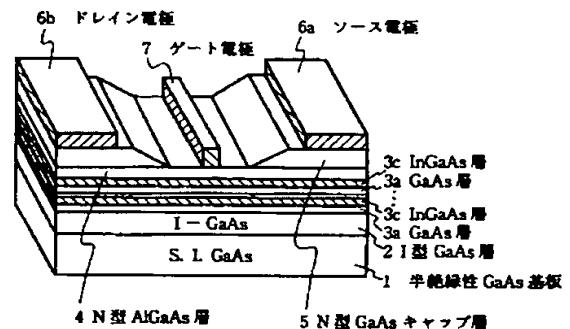
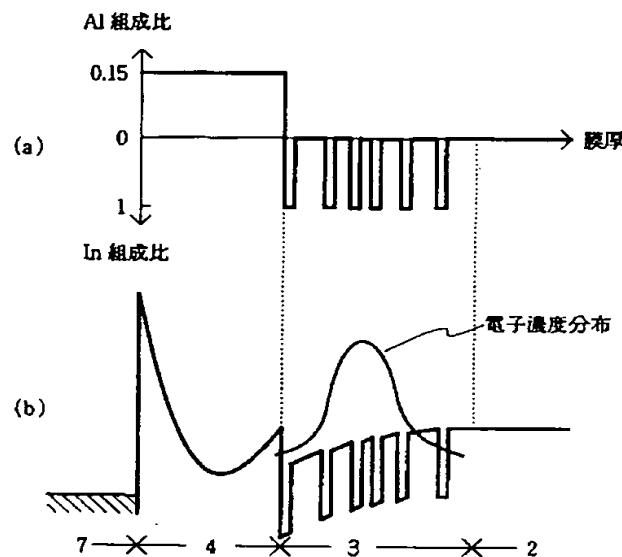
第1図



第2図

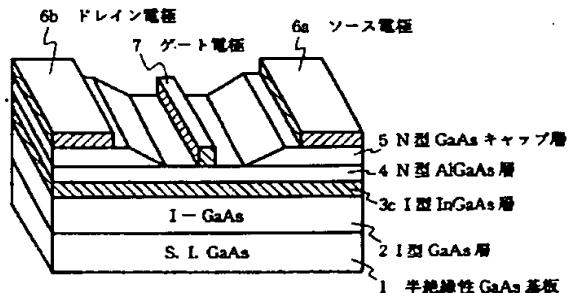
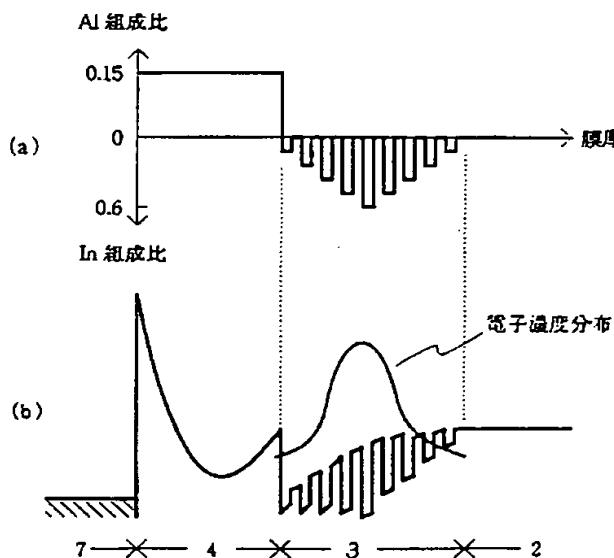


第3図



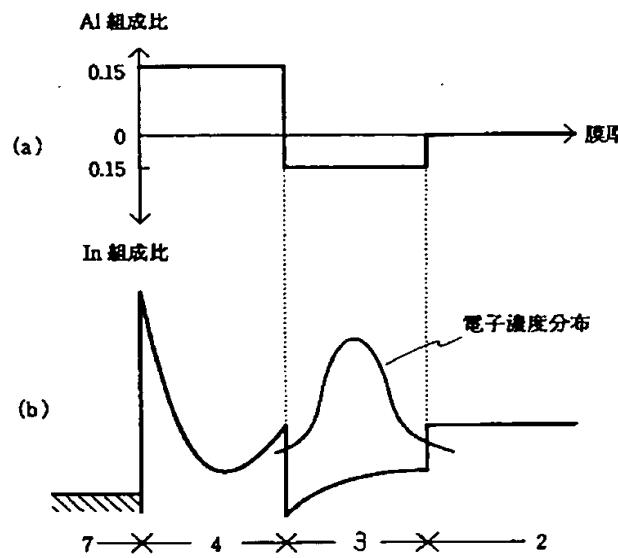
第5図

第4図



第7図

第6図



第8図